

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

**2002-016239**

(43)Date of publication of application : **18.01.2002**

(51)Int.Cl.

H01L 27/12  
H01L 21/02  
H01L 21/20  
H01L 29/786  
H01L 21/336

(21)Application number : **2000-196835** (71)Applicant : **CANON INC**

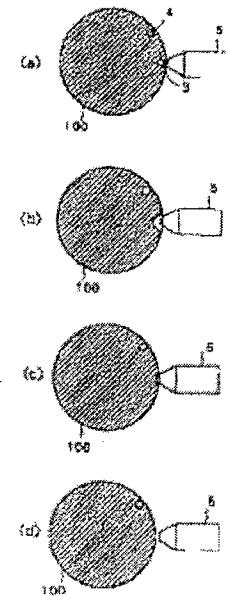
(22)Date of filing : **29.06.2000** (72)Inventor : **TAKIZAWA TORU  
YAMAGATA KENJI**

## (54) METHODS OF PROCESSING AND MANUFACTURING SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the yield of laminated substrates.

SOLUTION: Two substrates are laminated to form a laminated substrate. Then, a wedge 5 is inserted near a void 3 to temporarily separate (strip off) a part of the substrate which includes the void 3. Thereafter, the wedge 5 is pulled off to cause the separated part to airtightly adhere to its original place again.



[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacturing method of the substrate which applied the disposal method of a lamination board, manufacturing methods, and those methods.

[0002]

[Description of the Prior Art] After sticking two substrates, there is a way both manufacture the lamination board combined firmly, by performing heat treatment etc. to this. This method is suitable for manufacture of the substrate which has structures, such as SOI, for example.

[0003] Drawing 4 (a) and (b) is a mimetic diagram showing a part of process of pasting two substrates together. In this lamination process, first, as shown in drawing 4 (a), that lamination side is turned up, the 1st substrate 1 is put on the crevice of the substrate support implement 201, the 2nd substrate 2 is carried out on the 1st substrate 1, that lamination side is turned down, and it piles up. At this time, the upper substrate 2 will be floated with the gas between substrates, as shown in drawing 4 (a).

[0004] [00, 4]. Subsequently, if it pressurizes with the pressurizing pins 202 to near the edge of the upper substrate 2 as shown in drawing 4 (b) before the air between the substrates 1 and 2 falls out thoroughly, the air between the substrates in a pressurized part will be extruded toward the outside, and will carry out a substrate in a pressurization part first.

Then, it carries out, while the gas between substrates is gradually extruded toward the counter direction of a pressurization part after that, the area of an adhesion portion is expanded, and it is \*\* of a substrate eventually.

Signs that the adhesion portion in this case is expanded resemble signs that a wave advances. It is called the contact wave.

[0005]

[Problem to be solved by the invention] In the above-mentioned lamination process, when putting particle (particles) between two substrates which should be stuck \*\*\*\*, or air bubbles have been incorporated, the portion will be a field (adhesion defective part) where adhesion is imperfect. Generally such an adhesion defective part is called the void, and is the greatest poor cause in a lamination process.

[0006] Drawing 5 (a) - (f) and drawing 6 (a) - (f) is a figure showing the example of representation for which a contact wave seems to advance at the time of the lamination of a substrate. The situation of such advance of a contact wave is observable using an infrared transmission type void viewing device, for example.

[0007] Drawing 5 (a) In the example shown in - (f), two substrates are first stuck by the pressurization part (portion pressurized with pressurizing pins) 203, and while the tip of a contact wave maintains a linear position mostly after that, they run. And two substrates are stuck ideally, without incorporating air bubbles.

[0008] On the other hand, in the example shown in drawing 6 (a) - (f), two substrates are first stuck by the pressurization part 203, and a contact wave advances toward the counter direction of the pressurization part 203 after that. Under the present circumstances, the speed of a contact wave is quick near a center, and slow near an outer peripheral part. And if a contact wave arrives at the opposite hand of the pressurization part 203, as shown in drawing 6 (d) - (f), it will advance so that

the edge of a substrate may be met, and will confine air. It is thought that the Reason which a difference produces in the speed of advance of a contact wave in a center section and a periphery here is because variation is shown in the surface roughness in a substrate face.

[0009]This phenomenon is remarkable in the system which lessens the moisture of the substrate face which is a field to which it should be made to stick as much as possible, makes a substrate face hydrophobicity, and is pasted together.

[0010]Thus, the lamination board which incorporated air bubbles near the outer peripheral part could not be used at a subsequent process, but caused a fall of the yield.

[0011]An object of this invention is to be made in view of the above-mentioned problem, for example, to raise the yield of a lamination board.

[0012]

[Means for solving problem]The disposal method concerning the 1st side of this invention is provided with the following.

The elongation process of being a disposal method which removes the adhesion defective part in the lamination board to which it makes it coming to stick the 1st material substrate and 2nd material substrate, and targeting selectively the portion which encloses said adhesion defective part for the elongation of said 1st material substrate and said 2nd material substrate.

The adhesion process at which the portion concerning the elongation of said 1st material substrate and said 2nd material substrate is stuck.

[0013]here -- said elongation process -- 1 -- it being preferred to carry out elongation selectively and said 1st material substrate and said 2nd material substrate by inserting a wedge between said 1st material substrate and said 2nd material substrate, 2) Carry out elongation of said 1st material substrate and said 2nd material substrate selectively in said elongation process by inserting a wedge between said 1st material substrate and the 2nd material substrate of a front basis, It is still more preferred to stick the portion which starts the elongation of said 1st material substrate and said 2nd material substrate by drawing out said wedge in said adhesion process. It is preferred to insert said wedge near said adhesion defective part in said elongation process.

[0014][0014]. The lamination group concerning the 2nd side of this invention is provided with the following.

\*\* which a manufacturing method sticks the 1st material substrate and 2nd material substrate, pastes it together, and creates a substrate.

being aimed at the portion which encloses the adhesion defective part in said lamination board at an adhesion process -- said 1st material substrate and said 2nd material substrate -- partial -- elongation.

\*\* to which the portion concerning the elongation of an elongation process, and said 1st material substrate and said 2nd material substrate is stuck.

[0015]here -- said elongation process -- 1 -- it being preferred to carry out elongation selectively and said 1st material substrate and said 2nd material substrate by inserting a wedge between said 1st material substrate and said 2nd material substrate, 2) Carry out elongation of said 1st material substrate and said 2nd material substrate selectively in said elongation process by inserting a wedge between said 1st material substrate and the 2nd material substrate of a front basis, It is still more preferred to stick the portion which starts the elongation of said 1st material substrate and said 2nd material substrate by drawing out said wedge in said 2nd adhesion process. It is preferred to insert

said wedge near said adhesion defective part in said elongation process. The manufacturing method concerning the 2nd side of this invention, It is preferred to determine the position which inserts said wedge in said lamination board based on the audit observation by said observation process at said elongation process, including further the observation process of observing the position of the adhesion defective part in said lamination board created by said 1st adhesion process.

[0016][0016]. The basis concerning the 3rd side of this invention is provided with the following.

\*\* which a manufacturing method has a detached core inside and has a transfer layer on it.

\*\* which sticks a material substrate and the 2nd material substrate prepared separately, pastes together, and creates a substrate.

being aimed at the portion which encloses the adhesion defective part in said lamination board at an adhesion process -- said 1st material substrate and said 2nd material substrate -- partial -- elongation.

By removing or separating the portion from an elongation process, the 2nd adhesion process to which the portion concerning the elongation of said 1st material substrate and said 2nd material substrate is stuck, and the rear face of said 1st substrate to said detached core from said lamination board, Said transfer layer of said 1st substrate creates the substrate which it comes to transfer to the surface of said 2nd substrate.

Here, said transfer layer may contain a single crystal Si layer, for example.

[0017]

[Mode for carrying out the invention]Hereafter, the suitable embodiment of this invention is described.

[0018]First, the removing method of the void (adhesion defective part) concerning the suitable embodiment of this invention is explained, referring to drawing 1 (a) - (d) and drawing 2 (a) - (d). Here the sectional view which pasted together the lamination board 100 which pasted the two substrates 1 and 2 together, and was cut in the field (plane of composition), and drawing 1 (a) drawing 2 (a) - (d) - (d), It is the sectional view which cut the lamination board 100 to shaft orientations (direction vertical to a lamination side), and corresponds to drawing 1 (a) - (d) respectively.

[0019]According to the removing method of this void, the void concerned of the lamination board 100 which has a void as shown in drawing 6 (f) is removable. Here, the existence of a void and its position can be checked using an infrared transmission type void viewing device, for example.

[0020]First, in the process shown in drawing 1 (a). For example, the wedge 5 is applied between the two substrates 1 and 2 which are the close parts of one void (drawing 1 (a) void 3) among 1 checked using the infrared transmission type void viewing device, or two or more voids (adhesion defective part) 3 and 4, paste together and constitute the substrate 100.

[0021]Subsequently, in the process shown in drawing 1 (b), elongation (exfoliation) of the two substrates 1 and 2 which constitute the lamination board 100 is selectively carried out by pasting the wedge 5 together and inserting in the substrate 100 gradually. Here, the wedge 5 is inserted until a void is thoroughly incorporated into an elongation portion.

[0022] Subsequently, extracting the wedge 5 inserted in the lamination board 100 in the process shown in drawing 1 (c) is kept gently. The gas of the elongation portion (the portion of the original void is included) of the two substrates 1 and 2 which constitute the lamination board 100 is extruded by this, and the elongation portion concerned carries out full adhesion. One void is removed by the above process.

[0023]subsequently, the thing for which the process of drawing 1 (a) - a figure (d) is carried out about

other voids (drawing 1 (a) void 4) -- being concerned -- others -- a void is removable.

[0024]According to the removing method of this void, the void of a lamination board can be removed even to such an extent that a next process is not affected, and the yield can be raised.

[0025]Next, the example which applied the removing method of the void shown in drawing 1 (a) - (d) and drawing 2 (a) - (d) to manufacture of the substrate which has SOI structure etc. is explained.

[0026]Drawing 3 (a) - (g) is a figure explaining the manufacturing method of the substrate which has the SOI structure concerning the suitable embodiment of this invention, etc.

[0027]First, in the process shown in drawing 3 (a), the single crystal Si substrate 101 for forming the 1st substrate (prime wafer) 1 is prepared, and the porous Si layer 102 is formed on the main table side. The porous Si layer 102 can be formed by performing anodization treatment to the single crystal Si substrate 101 in an electrolytic solution (transformation liquid), for example.

[0028]The solution containing the solution, hydrogen fluoride, and isopropyl alcohol which contain here the solution, hydrogen fluoride, and ethanol containing hydrogen fluoride as an electrolytic solution, for example are preferred. If a more concrete example is given, as an electrolytic solution, the mixed liquor which mixed ethanol with the HF aqueous solution (HF concentration = 49wt%) by the volume ratio 2:1, for example is preferred.

[0029]It is good also as multilayer structure which consists the porous Si layer 102 of a layer more than two-layer [ from which porosity differs mutually ]. Here, as for the porous Si layer 102 of multilayer structure, it is preferred that the 2nd porous Si layer that has the 2nd larger porosity than the 1st porosity is included the 1st porous Si layer that has the 1st porosity in the surface side, and under it. By adopting such multilayer structure, the nonvesicular layer 103 with few defects etc. can be formed on the 1st porous Si layer in the formation process of the next nonvesicular layer 103, and in a next partition process, it can paste together in a desired position and a substrate can be separated. Here, as the 1st porosity, 10% - 30% are preferred, and 15% - 25% are still more preferred. As the 2nd porosity, 35% - 70% are preferred, and 40% - 60% are still more preferred.

[0030]When using the above-mentioned mixed liquor (hydrofluoric acid whose HF concentration is 49wt%: ethanol = 2:1) as an electrolytic solution, For example, it is preferred to generate the 1st layer (surface side) on condition of current density 8 mA/cm<sup>2</sup>, the processing time 5 - 11min, to rank second and to generate the 2nd layer (inside side) on condition of the current density 23 - 33 mA/cm<sup>2</sup>, 80 sec of processing time - 2min.

[0031]Subsequently, it is preferred to carry out at least one process of following (1) - (4). It is preferred here to carry out (1) and (2) in order, it is still more preferred to carry out to carry out (1), (2), and (3) in order or (1), (2), and (4) in order, and it is most preferred to carry out (1), (2), (3), and (4) in order.

[0032](1) The process of forming a protective film in the porous wall of a porous Si layer (Puri oxidation process)

In this process, protective films, such as an oxide film and a nitride, are formed in the porous wall of the porous Si layer 102, and this prevents big and rough-ization of the hole by next heat treatment. A protective film may be formed by heat-treating in oxygen environment (for example, 200 \*\* - 700 \*\* are preferred, and 300 \*\* - 500 \*\* are still more preferred), for example. Then, it is preferred to remove the oxide film etc. which were formed in the surface of the porous Si layer 102. This may be carried out by, for example, exposing the surface of the porous Si layer 102 to the solution containing hydrogen fluoride.

[0033](2) Hydrogen baking process (Puri baking process)

In this process, it heat-treats to the 1st substrate 1 with which the porous Si layer 102 was formed at

800 \*\* - 1200 \*\* into the reducing atmosphere containing hydrogen. It can be removed, when the hole of the surface of the porous Si layer 102 can be closed to some extent and a natural oxidation film exists in the surface of the porous Si layer 102 by this heat treatment.

[0034](3) Minute amount feeding process (preinjection process)

When growing up the nonvesicular layer 103 on the porous Si layer 102, it is preferred to grow up the nonvesicular film 103 with a low speed in the initial stage of growth by making supply of the source material of the nonvesicular layer 103 into slight quantity. By such a growing method, the migration of the atom of the surface of the porous Si layer 102 is promoted, and the hole of the surface of the porous Si layer 102 can be closed. Specifically, a growth rate controls 20 or less nm/min of 10 or less nm/min of supplies of a raw material preferably to become 2 or less nm/min more preferably.

[0035](4) Elevated-temperature baking process (middle baking process)

At a temperature higher than the treatment temperature in an above-mentioned hydrogen baking process and/or minute amount feeding process, the further closure and flattening of the porous Si layer 102 are realizable by heat-treating in the reducing atmosphere containing hydrogen.

[0036]Subsequently, in the process shown in drawing 3 (b), the nonvesicular layer 103 is formed on the porous Si layer 102. As the nonvesicular layer 103, Si layers, such as a single crystal Si layer, a polycrystal Si layer, and an amorphous Si layer, a Ge layer, a SiGe layer, a SiC layer, C layer, a GaAs layer, a GaN layer, an AlGaAs layer, an InGaAs layer, an InP layer, an InAs layer, etc. are preferred.

[0037]Subsequently, in the process shown in drawing 3 (c), the SiO<sub>2</sub> layer (insulating layer) 104 is formed as other nonvesicular layers on the nonvesicular layer 103. There by, the 1st substrate 1 is obtained. The SiO<sub>2</sub> layer 104 may be generated on condition of O<sub>2</sub>/H<sub>2</sub> atmosphere, 1100 \*\*, and 10-33min, for example.

[0038]Subsequently, in the process shown in drawing 3 (d), as the SiO<sub>2</sub> layer 504 is pinched, the 1st substrate 1 and the 2nd substrate (handle wafer) 2 prepared separately are stuck. At this time, the void (air bubbles) 3 may be incorporated near the periphery of a substrate by the above-mentioned cause (refer to drawing 6).

[0039]When the existence and the position of a void are checked and a void exists in the process shown in drawing 3 (e), for example using an infrared transmission type void viewing device, Drawing 1(a) - (d) and drawing 2 (a) The method explained with reference to - (d) is applied, and the void concerned is removed (the substrates 1 and 2 are stuck thoroughly).

[0040]After the substrates 1 and 2 stick thoroughly, it is preferred to carry out processing which strengthens both combination. The processing which heat-treats on condition of 1N<sub>2</sub> atmosphere, 1100 \*\*, and 10min, and heat-treats as an example of this processing on condition of 2O<sub>2</sub>/H<sub>2</sub> atmosphere, 1100 \*\*, and 50 - 100min, for example (oxidation treatment) is preferred. In addition to this processing, it may replace with this processing and anode joining processing and/or pressure treatment may be carried out.

[0041]As the 2nd substrate 2, the substrate, the substrate of the light transmittance state of quartz etc., sapphire, etc. in which the SiO<sub>2</sub> layer was formed on the Si substrate and the Si substrate are preferred. However, as long as the 2nd substrate 2 has enough a flat field with which lamination is presented, it may be enough and may be a substrate of other kinds.

[0042]Subsequently, in the process shown in drawing 3 (f), the portion from the rear face of the 1st substrate 1 to the porous Si layer 102 is removed or separated from the 2nd substrate 2 bordering on the porous Si layer 102. There by, the nonvesicular layers 103 and 104 by the side of the 1st substrate 1 as a transfer layer are transferred to the surface of the 2nd substrate 2 as a result. The way

grinding, polish, etching, or such at least two combination remove the portion from the rear-face side of the 1st substrate 1 that constitutes the lamination board 100 to the porous Si layer 102 as the method of removal is preferred. As the method of separation, the method of impressing tensile force, compressive force, shearing force, etc. to 1 lamination board 100 or the method of driving in the fluid (a liquid or a gas) completed in the shape of a bunch to the edge of 2 lamination board 100 is preferred. In the latter method, after forming the start part of Separation Sub-Division by inserting a wedge in a part of edge of the porous Si layer 102, the fluid (a liquid or a gas) completed in the shape of a bunch may also be driven in towards this start part. As a fluid, the liquid etc. which do so selectively the etching operation which can be etched for alkali, such as acid, such as organic solvents, such as water and alcohol, and hydrofluoric acid, and a potassium hydrate, and the porous Si layer 102, for example are preferred. A low-temperature cooling medium and a super-cooling medium are also employable as a fluid. Gases, such as air, nitrogen gas, carbon dioxide, and rare gas, are also employable as a fluid.

[0043] Subsequently, in the process shown in drawing 3 (g), the porous Si layer 102 which remained on the 2nd substrate 2 is removed. As the method of this removal, for example on an etching method and a twist concrete target. For example, the method of using the mixed liquor of HF (0.13 - 0.2wt%) / H<sub>2</sub>O<sub>2</sub> (5 - 6wt%) / ethanol (1 - 3wt%) / water as an etching reagent, and dipping the 2nd substrate 2 that has the porous Si layer 102 on the surface in this etching reagent is preferred. Other removing methods include the way polish etc. remove the porous Si layer 102, for example.

[0044] Processing which carries out the flattening of the nonvesicular layer 103 on the 2nd substrate 2 may be carried out after removal of the porous Si layer 102. As the method of this flattening, heat treatment and the method of more specifically heat-treating on condition of H<sub>2</sub> atmosphere, 1050 \*\* or 1100 \*\*, and 180 - 240min, for example are preferred, for example.

[0045] In the process shown in drawing 3 (f), when separating the lamination board 100 in the portion of the porous Si layer 103, the 1st separated substrate 1 can be reused as the substrate 101 for creating the 1st substrate 1, for example. In this case, it is preferred to carry out to the 1st substrate 1 (substrate 101) with which the processing performed to the 2nd substrate 2 in the process shown in drawing 3 (f) and the same processing were separated.

[0046] As mentioned above, according to this embodiment, or there is no void, by being able to manufacture a lamination board with few voids, and using such a lamination board, there is no defect or a defect can manufacture few SOI substrates.

[0047] If this is seen from another viewpoint, according to this embodiment, the yield at the time of manufacturing a SOI substrate etc. using a lamination board or this lamination board can be raised.

[0048] In the above-mentioned embodiment, although the porous layer as a detached core is formed before a lamination process at the 1st substrate, a detached core may be formed by pouring in ion, such as hydrogen, nitrogen, and rare gas, for example. Thus, the layer formed is called minute bubble layer, minute depletion layer, and micro cavity layers, a micro blister layer, microbubble layers, etc.

[0049] Subsequently, it explains, referring to drawing 7 for a semiconductor device using the semiconductor substrate which may be manufactured by the manufacturing method (refer to drawing 3 (a) - (g)) of the above-mentioned substrate, and a manufacturing method for the same.

[0050] Drawing 7 is a figure showing the manufacturing method of the semiconductor device using the semiconductor substrate which may be manufactured with the application of the manufacturing method of the substrate concerning the suitable embodiment of this invention.

[0051] First, a SOI substrate as shown in drawing 3 (g) which has an insulating layer as a semiconductor layer and the nonvesicular layer 104 as the nonvesicular layer 103 is manufactured

with the application of the manufacturing method of the above-mentioned substrate. And active region 103' and the isolation region 54 which should form a transistor are formed by the method of carrying out patterning of the nonvesicular semiconductor layer (SOI layer) 103 on the embedding insulator layer 104 to island shape, or a LOCOS oxidation method (refer to drawing 7 (a)).

[0052] Subsequently, the gate dielectric film 56 is formed on the surface of a SOI layer (refer to drawing 7 (a)). As a material of the gate dielectric film 56, for example Silicon oxide, silicon nitride, Oxidation silicon nitride, an aluminum oxide, tantalum oxide, oxidation hafnium, titanium oxide, scandium oxide, yttrium oxide, gadolinium oxide, a lanthanum trioxide, zirconium oxide, these mixture glass, etc. are preferred. The gate oxide 56 may be formed by oxidizing the surface of a SOI layer or, for example, making a substance applicable on the surface of a SOI layer by the CVD method or PVD deposit.

[0053] Subsequently, the gate electrode 55 is formed on the gate dielectric film 56 (refer to drawing 7 (a)). The polycrystalline silicon in which P type or an N type impurity was doped, for example as for the gate electrode 55, The alloy containing metal, such as tungsten, molybdenum, titanium, tantalum, aluminum, and copper, or these at least one sort, It may comprise metal nitrides, such as metallic silicide, such as a molybdenum silicide, tungsten silicide, and a cobalt silicide, a titanium nitride, a tungsten nitride, a tantalum nitride, etc. The gate dielectric film 56 laminates two or more layers which consist of a mutually different material, for example like a polycide gate, and may be formed. The gate electrode 55 may be formed by the method called Salicide (self aryne silicide), for example, may be formed by the method called a damascene gate process, and may be formed by other methods. The structure shown in drawing 7 (a) by the above process is obtained.

[0054] Subsequently, a comparatively low-concentration source and the drain area 58 are formed by introducing P type impurities, such as N type impurities, such as phosphorus, arsenic, and antimony, or boron, into active region 103' (refer to drawing 7 (b)). An impurity can be introduced by ion implantation, heat treatment, etc., for example.

[0055] Subsequently, as the gate electrode 55 is covered, after forming an insulator layer, the sidewall 59 is formed in the flank of the gate electrode 59 by carrying out etchback of this.

[0056] Subsequently, the impurity of the same conductivity type as the above is again introduced into active region 103', and a comparatively high-concentration source and the drain area 57 are formed. The structure shown in drawing 7 (b) by the above process is obtained.

[0057] Subsequently, the metal silicide layer 60 is formed in the upper surface of the upper surface of the gate electrode 55, a source, and the drain area 57. As a material of the metal silicide layer 60, a nickel silicide, titanium silicides, a cobalt silicide, a molybdenum silicide, tungsten silicide, etc. are preferred, for example. Such silicides by making metal deposit so that the upper surface of the upper surface of the gate electrode 55, a source, and the drain area 57 may be covered, and performing heat treatment after that, After making this metal and the silicon of the lower part react, it can form by removing an unreacted part by etchant, such as sulfuric acid, among this metal. The surface of a silicide layer may be made nitriding [ here ] if needed. The structure shown in drawing 7 (c) by the above process is obtained.

[0058] Subsequently, the insulator layer 61 is formed so that the upper surface of the upper surface of a gate electrode, a source, and a drain area which carried out silicide formation may be covered (refer to drawing 7 (d)). As a material of the insulator layer 61, the silicon oxide containing phosphorus and/or boron are preferred.

[0059] Subsequently, a contact hole is formed in the insulator layer 61 by the CMP method if needed. If the photolithography technology using a KrF excimer laser, an ArF excimer laser, F<sub>2</sub> excimer laser,

an electron beam, X-rays, etc. is applied, One side can form a with a rectangle [ below 0.25 micron ] contact hole, and a diameter can form the circular contact hole below 0.25 micron.

[0060]Subsequently, it is filled up with a conductor in a contact hole. After forming the film of the refractory metal used as the barrier metal 62, or its nitride in the wall of a contact hole as a filling method of a conductor, The method of making the conductors 63, such as a tungsten alloy, aluminum, an aluminum alloy, copper, and a copper alloy, deposit using a CVD method, PVD, the plating method, etc. is preferred. Here, the conductor deposited more highly than the upper surface of the insulator layer 61 may be removed by the etchback method or the CMP method. The surface of the source exposed to the pars basilaris ossis occipitalis of a contact hole and the silicide layer of a drain area may be made the nitriding in advance of restoration of a conductor. The semiconductor device which has the structure shown in drawing 7 (d) by the above process is obtained.

[0061]Here, if it determines that the depletion layer which impresses voltage to a gate electrode and spreads under gate dielectric film embeds, and the thickness and impurity concentration of active-layer (SOI layer) 103' reach the upper surface of the insulator layer 104, the formed transistor will operate as a perfect depletion type transistor. If the thickness and impurity concentration of active-layer (SOI layer) 103' are set that a depletion layer does not reach the upper surface of the embedded oxide film 104, the formed transistor will operate as a partial depletion type transistor.

[0062]

[Effect of the Invention]According to this invention, the yield of a lamination board can be raised, for example.

[Claim(s)]

[Claim 1]A disposal method which removes an adhesion defective part in a lamination board to which it makes it come to stick the 1st material substrate and 2nd material substrate, comprising:  
An elongation process of targeting selectively a portion which encloses said adhesion defective part for the elongation of said 1st material substrate and said 2nd material substrate.

An adhesion process at which a portion concerning elongation of said 1st material substrate and said 2nd material substrate is stuck.

[Claim 2]The disposal method according to claim 1 carrying out elongation of said 1st material substrate and said 2nd material substrate selectively in said elongation process by inserting a wedge between said 1st material substrate and said 2nd material substrate.

[Claim 3]In said elongation process, elongation of said 1st material substrate and said 2nd material substrate is selectively carried out by inserting a wedge between said 1st material substrate and the 2nd material substrate of a front basis, The disposal method according to claim 1 sticking a portion which starts elongation of said 1st material substrate and said 2nd material substrate by drawing out said wedge in said adhesion process.

[Claim 4]The disposal method according to claim 2 or 3 characterized by inserting said wedge near said adhesion defective part in said elongation process.

[Claim 5]A manufacturing method of a lamination board characterized by comprising the following.  
The 1st adhesion process that sticks the 1st material substrate and 2nd material substrate, pastes together, and creates a substrate.

An elongation process of targeting selectively a portion which encloses an adhesion defective part in said lamination board for the elongation of said 1st material substrate and said 2nd material substrate, and the 2nd adhesion process, to which a portion concerning elongation of said 1st

material substrate and said 2nd material substrate is stuck.

[Claim 6]A manufacturing method of the lamination board according to claim 5 carrying out elongation of said 1st material substrate and said 2nd material substrate selectively in said elongation process by inserting a wedge between said 1st material substrate and said 2nd material substrate.

[Claim 7]In said elongation process, elongation of said 1st material substrate and the 2nd material substrate of a front basis is selectively carried out by inserting a wedge between said 1st material substrate and the 2nd material substrate of a front basis, A manufacturing method of the lamination board according to claim 5 sticking a portion which starts elongation of said 1st material substrate and said 2nd material substrate by drawing out said wedge in said 2nd adhesion process.

[Claim 8]A manufacturing method of the lamination board according to claim 6 or 7 characterized by inserting said wedge near said adhesion defective part in said elongation process.

[Claim 9]Including further an observation process of observing a position of an adhesion defective part in said lamination board created by said 1st adhesion process in said elongation process. A manufacturing method of the lamination board according to claim 8 determining a position which inserts said wedge in said lamination board based on an audit observation by said observation process.

[Claim 10]The 1st material substrate that is a manufacturing method of a substrate, has a detached core inside, and has a transfer layer on it, The 1st adhesion process that sticks the 2nd material substrate prepared separately, pastes together, and creates a substrate, An elongation process of targeting selectively a portion which encloses an adhesion defective part in said lamination board for the elongation of said 1st material substrate and said 2nd material substrate, By removing or separating a portion from the 2nd adhesion process to which a portion concerning elongation of said 1st material substrate and said 2nd material substrate is stuck, and a rear face of said 1st substrate to said detached core from said lamination board, A manufacturing method of a substrate including a transfer process at which said transfer layer of said 1st substrate creates a substrate which it comes to transfer to the surface of said 2nd substrate.

[Claim 11]A manufacturing method of the substrate according to claim 10, wherein said transfer layer contains a single crystal Si layer.

[Claim 12][Claim 12] comprising: semiconductor.

It is a method, has a detached core inside, and has a transfer layer which contains a nonvesicular semiconductor layer on it.

\*\*\*\*\* and the 2nd material substrate prepared separately are stuck, it pastes together, and a substrate is created.

It is elongation selectively about said 1st material substrate and said 2nd material substrate for a portion which encloses an adhesion defective part in said lamination board like \*\*\* commencement of work.

By removing or separating a portion from a \*\*\*\*\* process, the 2nd adhesion process to which a portion concerning elongation of said 1st material substrate and said 2nd material substrate is stuck, and a rear face of said 1st substrate to said detached core from said lamination board, It is an active region of a transistor to said nonvesicular semiconductor layer of a transfer process at which said transfer layer of said 1st substrate creates a substrate which it comes to transfer to the surface of said 2nd substrate, and a substrate by which said transfer layer was transferred.

[Claim 13]A semiconductor device manufacturing with the application of the manufacturing method according to claim 12.

[Claim 14]The semiconductor device according to claim 13, wherein said transistor contains a partial depletion type thin film MOS transistor.

[Claim 15]The semiconductor device according to claim 13, wherein said transistor contains a perfect depletion type thin film transistor.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16239

(P2002-16239A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.<sup>7</sup>  
H 01 L 27/12  
21/02  
21/20  
29/786  
21/336

識別記号

F I  
H 01 L 27/12  
21/02  
21/20  
29/786  
21/336

デマコト<sup>8</sup> (参考)  
B 5 F 0 5 2  
B 5 F 1 1 0  
6 2 7 D

審査請求 未請求 請求項の数15 OL (全 9 頁)

(21) 出願番号

特願2000-196835 (P2000-196835)

(22) 出願日

平成12年6月29日 (2000.6.29)

(71) 出願人 000001007

キヤノン株式会社  
東京都大田区下丸子3丁目30番2号

(72) 発明者 滝沢 亨

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(73) 発明者 山方 憲二

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100076428

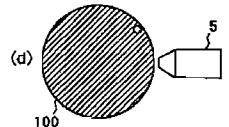
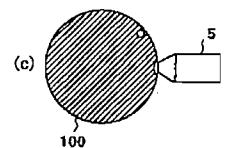
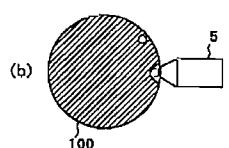
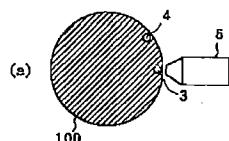
弁理士 大塚 康徳 (外2名)

最終頁に続く

(54) 【発明の名称】 基板の処理方法及び製造方法

(57) 【要約】

【課題】 貼り合わせ基板の歩留まりを向上させる。  
【解決手段】 2枚の基板を貼り合わせて貼り合わせ基板を作成した後、ボイド3の近傍に楔5を挿入することによってボイド3を含む部分を一旦離隔(剥離)させ、その後、楔5を引き抜いて離隔部分を再度密着させる。



【特許請求の範囲】

【請求項1】 第1の材料基板と第2の材料基板とを密着させてなる貼り合わせ基板における密着不良部を除去する処理方法であって、前記密着不良部を取り囲む部分を対象として前記第1の材料基板と前記第2の材料基板とを部分的に離隔させる離隔工程と、前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させる密着工程と、を含むことを特徴とする処理方法。

【請求項2】 前記離隔工程では、前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させることを特徴とする請求項1に記載の処理方法。

【請求項3】 前記離隔工程では、前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させ、前記密着工程では、前記楔を引き抜くことにより前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させることを特徴とする請求項1に記載の処理方法。

【請求項4】 前記離隔工程では、前記密着不良部の近傍に前記楔を挿入することを特徴とする請求項2又は請求項3に記載の処理方法。

【請求項5】 貼り合わせ基板の製造方法であって、第1の材料基板と第2の材料基板とを密着させて貼り合わせ基板を作成する第1の密着工程と、前記貼り合わせ基板における密着不良部を取り囲む部分を対象として前記第1の材料基板と前記第2の材料基板とを部分的に離隔させる離隔工程と、前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させる第2の密着工程と、を含むことを特徴とする貼り合わせ基板の製造方法。

【請求項6】 前記離隔工程では、前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させることを特徴とする請求項5に記載の貼り合わせ基板の製造方法。

【請求項7】 前記離隔工程では、前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させ、前記第2の密着工程では、前記楔を引き抜くことにより前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させることを特徴とする請求項5に記載の貼り合わせ基板の製造方法。

【請求項8】 前記離隔工程では、前記密着不良部の近傍に前記楔を挿入することを特徴とする請求項6又は請求項7に記載の貼り合わせ基板の製造方法。

【請求項9】 前記第1の密着工程によって作成された

前記貼り合わせ基板における密着不良部の位置を観察する観察工程を更に含み、

前記離隔工程では、前記観察工程による観察結果に基づいて前記貼り合わせ基板に前記楔を挿入する位置を決定することを特徴とする請求項8に記載の貼り合わせ基板の製造方法。

【請求項10】 基板の製造方法であって、内部に分離層を有し、その上に移設層を有する第1の材料基板と、別途準備された第2の材料基板とを密着させて貼り合わせ基板を作成する第1の密着工程と、

前記貼り合わせ基板における密着不良部を取り囲む部分を対象として前記第1の材料基板と前記第2の材料基板とを部分的に離隔させる離隔工程と、

前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させる第2の密着工程と、

前記第1の基板の裏面から前記分離層までの部分を前記貼り合わせ基板から除去又は分離することにより、前記第1の基板の前記移設層が前記第2の基板の表面に移設されてなる基板を作成する移設工程と、を含むことを特徴とする基板の製造方法。

【請求項11】 前記移設層は、単結晶Si層を含むことを特徴とする請求項10に記載の基板の製造方法。

【請求項12】 半導体装置の製造方法であって、内部に分離層を有し、その上に、非多孔質半導体層を含む移設層を有する第1の材料基板と、別途準備された第2の材料基板とを密着させて貼り合わせ基板を作成する第1の密着工程と、

前記貼り合わせ基板における密着不良部を取り囲む部分を対象として前記第1の材料基板と前記第2の材料基板とを部分的に離隔させる離隔工程と、

前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させる第2の密着工程と、

前記第1の基板の裏面から前記分離層までの部分を前記貼り合わせ基板から除去又は分離することにより、前記第1の基板の前記移設層が前記第2の基板の表面に移設されてなる基板を作成する移設工程と、

前記移設層が移設された基板の前記非多孔質半導体層にトランジスタの活性領域を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項13】 請求項12に記載の製造方法を適用して製造されることを特徴とする半導体装置。

【請求項14】 前記トランジスタは、部分空乏型の薄膜MOSトランジスタを含むことを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記トランジスタは、完全空乏型の薄膜トランジスタを含むことを特徴とする請求項13に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、貼り合わせ基板の

処理方法及び製造方法、並びに、それらの方法を適用した基板の製造方法に関する。

【0002】

【従来の技術】2枚の基板を密着させた後、これに熱処理等を施すことにより両者が強固に結合された貼り合わせ基板を製造する方法がある。この方法は、例えば、S O I 等の構造を有する基板の製造に好適である。

【0003】図4 (a) 及び (b) は、2枚の基板を貼り合わせる工程の一部を示す模式図である。この貼り合わせ工程においては、まず、図4 (a) に示すように、第1の基板1をその貼り合わせ面を上にして基板支持具201の凹部に置き、第1の基板1の上に、第2の基板2をその貼り合わせ面を下にして重ね合わせる。この時、上側の基板2は、図4 (a) に示すように、基板間の気体により浮遊した状態になる。

【0004】次いで、基板1、2間の空気が完全に抜ける前に、図4 (b) に示すように、上側の基板2のエッジ付近に対して加圧ピン202によって加圧すると、加圧部分における基板間の空気が外側に向かって押し出され、まず、加圧部において基板1、2が密着し、その後、基板間の気体が加圧部の反対方向に向かって徐々に押し出されながら密着部分の面積が拡大し、最終的に基板の全体が密着する。この際の密着部分が拡大する様子は、波が進行する様子と似ており、コンタクトウェーブと呼ばれている。

【0005】

【発明が解決しようとする課題】上記の貼り合わせ工程において、密着させるべき2枚の基板間にパーティクル(粒子)を挟み込んだり、あるいは、気泡を取り込んでしまった場合、その部分は密着が不完全な領域(密着不良部)になってしまう。このような密着不良部は、一般にボイドと呼ばれており、貼り合わせ工程における最大の不良原因である。

【0006】図5 (a) ~ (f) 及び図6 (a) ~ (f) は、基板の貼り合わせ時にコンタクトウェーブが進行する様子の代表例を示す図である。このようなコンタクトウェーブの進行の様子は、例えば、赤外線透過型ボイド観察装置を利用して観察することができる。

【0007】図5 (a) ~ (f) に示す例では、2枚の基板は、まず加圧部(加圧ピンによって加圧される部分)203で密着し、その後、コンタクトウェーブの先端がほぼ直線状態を保ちながら進行する。そして、2枚の基板は、気泡を取り込むことなく理想的に密着する。

【0008】一方、図6 (a) ~ (f) に示す例では、2枚の基板は、まず加圧部203で密着し、その後、コンタクトウェーブが加圧部203の反対方向に向かって進行する。この際、コンタクトウェーブの速度は、中央付近で速く、外周部付近で遅い。そして、コンタクトウェーブは、加圧部203の反対側に達すると、図6 (d) ~ (f) に示すように、基板のエッジに沿うよう

に進行し、空気を封じ込めてしまう。ここで、中央部と周辺部とでコンタクトウェーブの進行速度に差が生じる理由は、基板表面内の表面粗さにバラツキがあるためであると考えられる。

【0009】なお、この現象は、密着させるべき面である基板表面の水分を極力少なくし、基板表面を疎水性にして貼り合わせる方式において顕著である。

【0010】このように、外周部付近に気泡を取り込んだ貼り合わせ基板は、その後の工程で利用することができず、歩留まりの低下の原因となっていた。

【0011】本発明は、上記の問題点に鑑みてなされたものであり、例えば、貼り合わせ基板の歩留まりを向上させることを目的とする。

【0012】

【課題を解決するための手段】本発明の第1の側面に係る処理方法は、第1の材料基板と第2の材料基板とを密着させてなる貼り合わせ基板における密着不良部を除去する処理方法であって、前記密着不良部を取り囲む部分を対象として前記第1の材料基板と前記第2の材料基板とを部分的に離隔させる離隔工程と、前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させる密着工程とを含む。

【0013】ここで、前記離隔工程では、1) 前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させることが好ましく、2) 前記離隔工程では、前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させ、前記密着工程では、前記楔を引き抜くことにより前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させることができ更に好ましい。また、前記離隔工程では、前記密着不良部の近傍に前記楔を挿入することが好ましい。

【0014】本発明の第2の側面に係る貼り合わせ基板の製造方法は、第1の材料基板と第2の材料基板とを密着させて貼り合わせ基板を作成する第1の密着工程と、前記貼り合わせ基板における密着不良部を取り囲む部分を対象として前記第1の材料基板と前記第2の材料基板とを部分的に離隔させる離隔工程と、前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させる第2の密着工程とを含む。

【0015】ここで、前記離隔工程では、1) 前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させることができが好ましく、2) 前記離隔工程では、前記第1の材料基板と前記第2の材料基板との間に楔を挿入することにより前記第1の材料基板と前記第2の材料基板とを部分的に離隔させ、前記第2の密着工程では、前記楔を引き抜くことにより前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着さ

せることが更に好ましい。また、前記離隔工程では、前記密着不良部の近傍に前記楔を挿入することが好ましい。更に、本発明の第2の側面に係る製造方法は、前記第1の密着工程によって作成された前記貼り合わせ基板における密着不良部の位置を観察する観察工程を更に含み、前記離隔工程では、前記観察工程による観察結果に基づいて前記貼り合わせ基板に前記楔を挿入する位置を決定することが好ましい。

【0016】本発明の第3の側面に係る基板の製造方法は、内部に分離層を有し、その上に移設層を有する第1の材料基板と、別途準備された第2の材料基板とを密着させて貼り合わせ基板を作成する第1の密着工程と、前記貼り合わせ基板における密着不良部を取り囲む部分を対象として前記第1の材料基板と前記第2の材料基板とを部分的に離隔させる離隔工程と、前記第1の材料基板及び前記第2の材料基板の離隔に係る部分を密着させる第2の密着工程と、前記第1の基板の裏面から前記分離層までの部分を前記貼り合わせ基板から除去又は分離することにより、前記第1の基板の前記移設層が前記第2の基板の表面に移設されてなる基板を作成する移設工程とを含む。ここで、前記移設層は、例えば単結晶Si層を含み得る。

#### 【0017】

【発明の実施の形態】以下、本発明の好適な実施の形態について説明する。

【0018】まず、図1(a)～(d)及び図2(a)～(d)を参照しながら本発明の好適な実施の形態に係るボイド(密着不良部)の除去方法を説明する。ここで、図1(a)～(d)は、2枚の基板1、2を貼り合わせた貼り合わせ基板100を貼り合わせ面(接合面)で切断した断面図、図2(a)～(d)は、貼り合わせ基板100を軸方向(貼り合わせ面に垂直な方向)に切断した断面図であり、各々図1(a)～(d)に対応する。

【0019】このボイドの除去方法によれば、図6(f)に示すようなボイドを有する貼り合わせ基板100の当該ボイドを除去することができる。ここで、ボイドの有無及びその位置は、例えば、赤外線透過型ボイド観察装置を利用して確認することができる。

【0020】まず、図1(a)に示す工程では、例えば赤外線透過型ボイド観察装置を利用して確認された1又は複数のボイド(密着不良部)3、4のうち1つのボイド(図1(a)ではボイド3)の近傍部分であって貼り合わせ基板100を構成する2枚の基板1、2の間に楔5を当てる。

【0021】次いで、図1(b)に示す工程では、楔5を貼り合わせ基板100に徐々に挿入することによって、貼り合わせ基板100を構成する2枚の基板1、2を部分的に離隔(剥離)させる。ここで、楔5は、ボイドが離隔部分に完全に取り込まれるまで挿入される。

【0022】次いで、図1(c)に示す工程では、貼り合わせ基板100に挿入された楔5を緩やかに抜き抜く。これにより、貼り合わせ基板100を構成する2枚の基板1、2の離隔部分(当初のボイドの部分を含む)の気体が押し出され、当該離隔部分が完全密着する。以上の工程により、1つのボイドが除去される。

【0023】次いで、他のボイド(図1(a)ではボイド4)について、図1(a)～図(d)の工程を実施することにより、当該他のボイドを除去することができる。

【0024】このボイドの除去方法によれば、貼り合わせ基板のボイドを後の工程に影響を与えない程度にまで除去することができ、歩留まりを向上させることができる。

【0025】次に、図1(a)～(d)及び図2(a)～(d)に示すボイドの除去方法をSOI構造等を有する基板の製造に適用した例を説明する。

【0026】図3(a)～(g)は、本発明の好適な実施の形態に係るSOI構造等を有する基板の製造方法を説明する図である。

【0027】まず、図3(a)に示す工程では、第1の基板(prime wafer)1を形成するための単結晶Si基板101を用意して、その主表面上に多孔質Si層102を形成する。多孔質Si層102は、例えば、電解質溶液(化成液)中で単結晶Si基板101に陽極化成処理を施すことによって形成することができる。

【0028】ここで、電解質溶液としては、例えば、弗化水素を含む溶液、弗化水素及びエタノールを含む溶液、弗化水素及びイソプロピルアルコールを含む溶液等が好適である。より具体的な例を挙げると、電解質溶液としては、例えば、HF水溶液(HF濃度=49wt%)とエタノールを体積比2:1で混合した混合液が好適である。

【0029】また、多孔質Si層102を互いに多孔度の異なる2層以上の層からなる多層構造としてもよい。ここで、多層構造の多孔質Si層102は、表面側に第1の多孔度を有する第1の多孔質Si層、その下に、第1の多孔度より大きい第2の多孔度を有する第2の多孔質Si層を含むことが好ましい。このような多層構造を採用することにより、後の非多孔質層103の形成工程において、第1の多孔質Si層上に、欠陥等の少ない非多孔質層103を形成することができると共に、後の分離工程において、所望の位置で貼り合わせ基板を分離することができる。ここで、第1の多孔度としては、10%～30%が好ましく、15%～25%が更に好ましい。また、第2の多孔度としては、35%～70%が好ましく、40%～60%が更に好ましい。

【0030】電解質溶液として上記の混合液(HF濃度が49wt%の弗化水素酸:エタノール=2:1)を利用する場合は、例えば、電流密度8mA/cm<sup>2</sup>、処理

時間5～11minの条件で第1層（表面側）を生成し、次いで、電流密度23～33mA/cm<sup>2</sup>、処理時間80sec～2minの条件で第2層（内部側）を生成することが好ましい。

【0031】次いで、次の（1）～（4）の少なくとも1つの工程を実施することが好ましい。ここで、（1）、（2）を順に実施することが好ましく、（1）、（2）、（3）を順に実施すること、或いは、（1）、（2）、（4）を順に実施することが更に好ましく、（1）、（2）、（3）、（4）を順に実施することが最も好ましい。

【0032】（1）多孔質Si層の孔壁に保護膜を形成する工程（プリ酸化工程）

この工程では、多孔質Si層102の孔壁に酸化膜や塗化膜等の保護膜を形成し、これにより、後の熱処理による孔の粗大化を防止する。保護膜は、例えば、酸素雰囲気中で熱処理（例えば、200°C～700°Cが好ましく、300°C～500°Cが更に好ましい）を実施することにより形成され得る。その後、多孔質Si層102の表面に形成された酸化膜等を除去することが好ましい。これは、例えば、弗化水素を含む溶液に多孔質Si層102の表面を晒すことによって実施され得る。

【0033】（2）水素ベーリング工程（プリベーリング工程）

この工程では、水素を含む還元性雰囲気中において800°C～1200°Cで、多孔質Si層102が形成された第1の基板1に熱処理を実施する。この熱処理により、多孔質Si層102の表面の孔をある程度封止することができると共に、多孔質Si層102の表面に自然酸化膜が存在する場合には、それを除去することができる。

【0034】（3）微量原料供給工程（プリインジェクション工程）

多孔質Si層102上に非多孔質層103を成長させる場合は、成長の初期段階で非多孔質層103の原料物質の供給を微量として、低速度で非多孔質膜103を成長させることが好ましい。このような成長方法により、多孔質Si層102の表面の原子のマイグレーションが促進され、多孔質Si層102の表面の孔を封止することができる。具体的には、成長速度が20nm/min以下、好ましくは10nm/min以下、より好ましくは2nm/min以下になるように原料の供給を制御する。

【0035】（4）高温ベーリング工程（中間ベーリング工程）

上記の水素ベーリング工程及び／又は微量原料供給工程における処理温度よりも高い温度で、水素を含む還元性雰囲気中で熱処理を実施することにより、多孔質Si層102の更なる封止及び平坦化が実現することができる。

【0036】次いで、図3（b）に示す工程では、多孔

質Si層102上に非多孔質層103を形成する。非多孔質層103としては、単結晶Si層、多結晶Si層、非晶質Si層等のSi層、Ge層、SiGe層、SiC層、C層、GaAs層、GaN層、AlGaAs層、InGaAs層、InP層、InAs層等が好適である。

【0037】次いで、図3（c）に示す工程では、非多孔質層103の上に他の非多孔質層としてSiO<sub>2</sub>層（絶縁層）104を形成する。これにより第1の基板1が得られる。SiO<sub>2</sub>層104は、例えば、O<sub>2</sub>/H<sub>2</sub>雰囲気、1100°C、10～33minの条件で生成され得る。

【0038】次いで、図3（d）に示す工程では、SiO<sub>2</sub>層504を挿むようにして、第1の基板1と別途準備された第2の基板（handle wafer）2とを密着させる。この時、前述の原因（図6参照）により、基板の周辺部付近にボイド（気泡）3が取り込まれる場合がある。

【0039】図3（e）に示す工程では、例えば赤外線透過型ボイド観察装置を利用して、ボイドの有無及び位置を確認し、ボイドが存在する場合には、図1（a）～（d）及び図2（a）～（d）を参照して説明した方法を適用して、当該ボイドを除去する（基板1、2を完全に密着させる）。

【0040】基板1、2が完全に密着した後、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N<sub>2</sub>雰囲気、1100°C、10minの条件で熱処理を実施し、2) O<sub>2</sub>/H<sub>2</sub>雰囲気、1100°C、50～100minの条件で熱処理（酸化処理）を実施する処理が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び／又は加圧処理を実施してもよい。

【0041】第2の基板2としては、Si基板、Si基板上にSiO<sub>2</sub>層を形成した基板、石英等の光透過性の基板、サファイヤ等が好適である。しかし、第2の基板2は、貼り合わせに供される面が十分に平坦であれば十分であり、他の種類の基板であってもよい。

【0042】次いで、図3（f）に示す工程では、多孔質Si層102を境にして、第1の基板1の裏面から多孔質Si層102までの部分を第2の基板2より除去又は分離する。これにより、結果として、移設層としての第1の基板1側の非多孔質層103及び104が第2の基板2の表面に移設される。除去の方法としては、貼り合わせ基板100を構成する第1の基板1の裏面側から多孔質Si層102までの部分を研削、研磨若しくはエッティング、又はこれらの少なくとも2つの組み合わせにより除去する方法が好適である。また、分離の方法としては、1) 貼り合わせ基板100に引張力、圧縮力、せん断力等を印加する方法、又は、2) 貼り合わせ基板100のエッジに対して束状に収束させた流体（液体又は気体）を打ち込む方法が好適である。後者の方法では、

多孔質S i層102のエッジの一部に楔を挿入することにより分離処理の開始部を形成した後に、該開始部に向けて、例えば束状に収束させた流体（液体又は気体）を打ち込んでもよい。流体としては、例えば、水、アルコール等の有機溶媒、弗化水素酸等の酸、水酸化カリウム等のアルカリ、多孔質S i層102を選択的にエッチング可能なエッチング作用を奏する液体等が好適である。また、流体として、低温冷却媒体、超冷却媒体を採用することもできる。更に、流体として、空気、窒素ガス、炭酸ガス、希ガス等の気体を採用することもできる。

【0043】次いで、図3(g)に示す工程では、第2の基板2上に残った多孔質S i層102を除去する。この除去の方法としては、例えば、エッチング法、より具体的には、例えば、HF(0.13~0.2wt%) / H<sub>2</sub>O<sub>2</sub>(5~6wt%) / エタノール(1~3wt%) / 水の混合液をエッチング液として利用し、このエッチング液に、表面に多孔質S i層102を有する第2の基板2を浸す方法が好適である。なお、他の除去方法としては、例えば、多孔質S i層102を研磨等により除去する方法がある。

【0044】多孔質S i層102の除去の後、第2の基板2上の非多孔質層103を平坦化する処理を実施してもよい。この平坦化の方法としては、例えば、熱処理、より具体的には、例えば、H<sub>2</sub>雰囲気、1050°C又は1100°C、180~240minの条件で熱処理する方法が好適である。

【0045】図3(f)に示す工程において、貼り合わせ基板100を多孔質S i層103の部分で分離する場合は、分離された第1の基板1を、例えば第1の基板1を作成するための基板101として再利用することができる。この場合において、図3(f)に示す工程において第2の基板2に施す処理と同様の処理を分離された第1の基板1(基板101)に対して実施することが好ましい。

【0046】以上のように、この実施の形態によれば、ボイドがない、或いは、ボイドが少ない貼り合わせ基板を製造することができ、また、このような貼り合わせ基板を利用することにより欠陥がない、或いは、欠陥が少ないSOI基板等を製造することができる。

【0047】また、これを別の観点から観ると、この実施の形態によれば、貼り合わせ基板或いは該貼り合わせ基板を利用してSOI基板等を製造する際の歩留まりを向上させることができる。

【0048】なお、上記の実施の形態では、貼り合わせ工程の前に第1の基板に分離層としての多孔質層を形成するが、分離層は、例えば、水素、窒素、希ガス等のイオンを注入することによって形成してもよい。このようにして形成される層は、微小気泡層、微小空乏層、マイクロキャビティ層、マイクロブリスト層、マイクロバブル層等と呼ばれる。

【0049】次いで、上記の基板の製造方法(図3(a)~(g)参照)により製造され得る半導体基板を利用した半導体装置及びその製造方法について図7を参照しながら説明する。

【0050】図7は、本発明の好適な実施の形態に係る基板の製造方法を適用して製造され得る半導体基板を利用した半導体装置の製造方法を示す図である。

【0051】まず、非多孔質層103として半導体層、非多孔質層104として絶縁層を有する図3(g)に示すようなSOI基板を上記の基板の製造方法を適用して製造する。そして、埋め込み絶縁膜104上の非多孔質半導体層(SOI層)103を島状にパタニングする方法、又は、LOCOS酸化法等により、トランジスタを形成すべき活性領域103'及び素子分離領域54を形成する(図7(a)参照)。

【0052】次いで、SOI層の表面にゲート絶縁膜56を形成する(図7(a)参照)。ゲート絶縁膜56の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜56は、例えば、SOI層の表面を酸化させたり、CVD法又はPVD法によりSOI層の表面に該当する物質を堆積させたりすることにより形成され得る。

【0053】次いで、ゲート絶縁膜56上にゲート電極55を形成する(図7(a)参照)。ゲート電極55は、例えば、P型又はN型不純物がドープされた多結晶シリコンや、タンゲステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、モリブデンシリサイド、タンゲステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タンゲステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート絶縁膜56は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極55は、例えば、サリサイド(セルフアラインシリサイド)と呼ばれる方法で形成されてもよいし、ダマシングゲートプロセスと呼ばれる方法で形成してもよいし、他の方法で形成してもよい。以上の工程により図7(a)に示す構造体が得られる。

【0054】次いで、磷、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を活性領域103'に導入することにより、比較的低濃度のソース、ドレン領域58を形成する(図7(b)参照)。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0055】次いで、ゲート電極55を覆うようにして

絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極59の側部にサイドウォール59を形成する。

【0056】次いで、再び上記と同一の導電型の不純物を活性領域103'に導入し、比較的高濃度のソース、ドレイン領域57を形成する。以上の工程により図7(b)に示す構造体が得られる。

【0057】次いで、ゲート電極55の上面並びにソース及びドレイン領域57の上面に金属珪化物層60を形成する。金属珪化物層60の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトリシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極55の上面並びにソース及びドレイン領域57の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を塗化させてもよい。以上の工程により図7(c)に示す構造体が得られる。

【0058】次いで、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜61を形成する(図7(d)参照)。絶縁膜61の材料としては、燐及び/又はボロンを含む酸化シリコンなどが好適である。

【0059】次いで、必要に応じて、CMP法により絶縁膜61にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F<sub>2</sub>エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィー技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直徑が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0060】次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、バリアメタル62となる高融点金属やその塗化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体63を、CVD法、PVD法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜61の上面よりも高く堆積した導電体をエッチバック法やCMP法に

より除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を塗化させてもよい。以上の工程により図7(d)に示す構造を有する半導体装置が得られる。

【0061】ここで、ゲート電極に電圧を印加してゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜104の上面に届くように活性層(SOI層)103'の厚さ及び不純物濃度を定めると、形成されたトランジスタは、完全空乏型トランジスタとして動作する。また、空乏層が埋め込み酸化膜104の上面に届かないように活性層(SOI層)103'の厚さ及び不純物濃度を定めると、形成されたトランジスタは、部分空乏型トランジスタとして動作する。

【0062】

【発明の効果】本発明によれば、例えば、貼り合わせ基板の歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の好適な実施の形態に係るボイド(密着不良部)の除去方法を説明する図である。

【図2】本発明の好適な実施の形態に係るボイド(密着不良部)の除去方法を説明する図である。

【図3】SOI構造等を有する基板の製造方法を説明する図である。

【図4】2枚の基板を貼り合わせる工程の一部を示す模式図である。

【図5】基板の貼り合わせ時にコンタクトウェーブが進行する様子の代表例を示す図である。

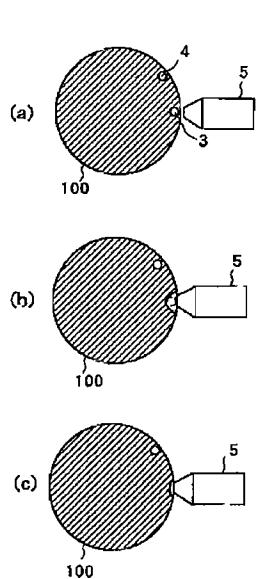
【図6】基板の貼り合わせ時にコンタクトウェーブが進行する様子の代表例を示す図である。

【図7】本発明の好適な実施の形態に係る半導体装置の製造方法を示す図である。

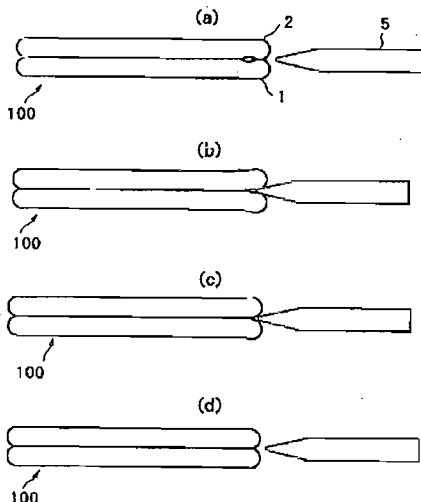
【符号の説明】

- 1 第1の基板
- 2 第2の基板
- 3, 4 ボイド
- 5 くさび
- 100 貼り合わせ基板
- 101 単結晶Si基板
- 102 多孔質Si層
- 103 非多孔質層
- 104 非多孔質層

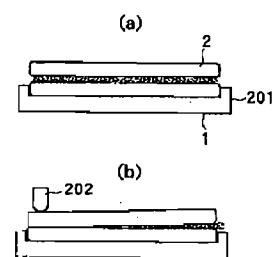
【図1】



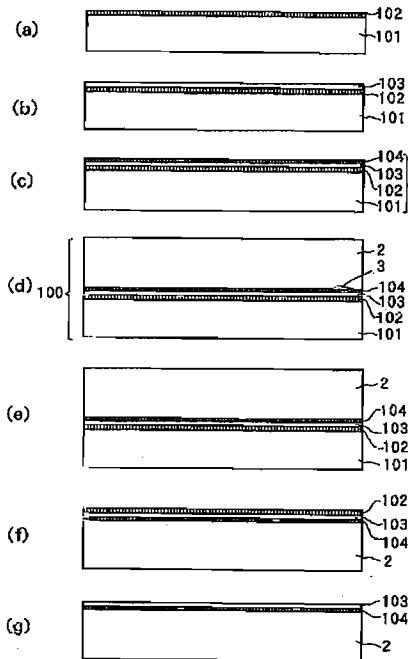
【図2】



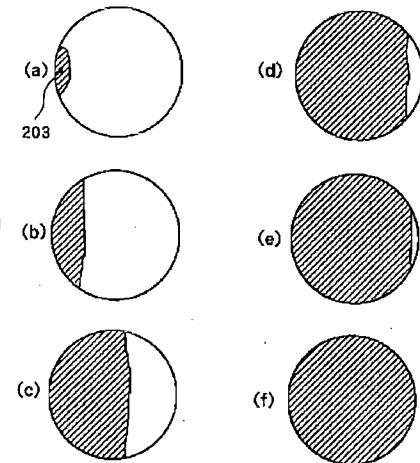
【図4】



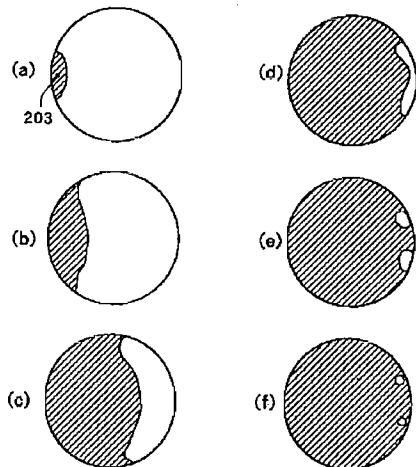
【図3】



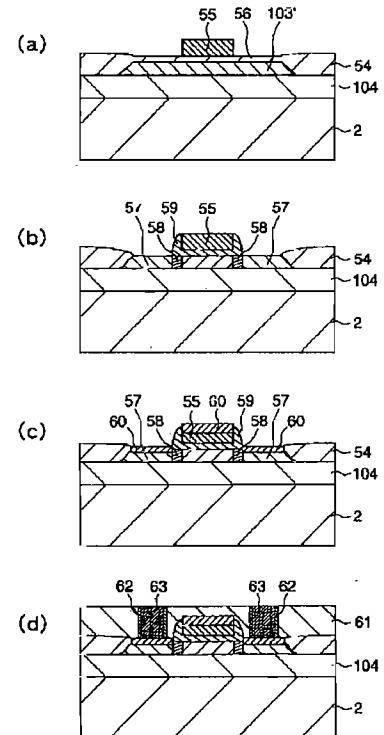
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5F052 KB01 KB04  
 5F110 AA27 CC02 DD03 DD04 DD05  
 DD13 EE01 EE02 EE03 EE04  
 EE05 EE06 EE09 EE14 EE32  
 FF01 FF02 FF03 FF04 FF22  
 FF27 FF29 GG01 GG02 GG03  
 GG04 GG12 GG13 GG15 HJ01  
 HJ13 HJ23 HK05 HK40 HL02  
 HL03 HL06 HL21 HL22 HL24  
 HM15 HM17 NN02 NN25 NN26  
 NN62 NN66 QQ11 QQ16